

文章编号:1007-2780(2010)05-0738-05

基于 FPGA 的手持式数字存储示波器显示驱动设计

石明江, 张 禾, 河道清
(西南石油大学 电子信息工程学院, 四川 成都 610500, E-mail: swpushi@126.com)

摘 要: 为了降低系统成本和功耗, 通过对液晶模块 LTBHB203E1K 和 FPGA 芯片 EP1K30QC208-3 的研究, 利用模块化的设计方法, 完成了手持式数字存储示波器显示部分的设计。给出了利用 FPGA 实现驱动液晶模块的方法以及数据存储与处理模块等的设计方法。实现了在液晶上显示输入信号波形、用户设置、输入信号参数等功能。该技术具有较高的实用性并已应用于产品之中。

关 键 词: 存储示波器; 液晶; 驱动; FPGA

中图分类号: TP334 **文献标识码:** A

Design of Display Driver for Oscilloscragh Based on FPGA

SHI Ming-jing, ZHANG He, HE Dao-qing
(School of Electronic Information Engineering, Southwest Petroleum University,
Chengdu 610500, China, E-mail: swpushi@126.com)

Abstract: Based on the knowledge about how to use LTBHB203E1K LCD module and EP1K30QC208-3 FPGA, a display part of handheld digital storage oscilloscope was completed to reduce system cost and power consumption by modular design. The method of driving liquid crystal module is given and data storage and data processing modules are realized by FPGA. The design achieved such purposes as displaying input signal waveform, user settings, input signal parameters and so on. This technique has highly practical value and has been applied to the products.

Key words: storage oscilloscope; liquid crystal; drive; FPGA

1 引 言

手持式数字示波器是数字存储示波器的一个重要分支,它包含了数字存储示波器的全部功能:波形存储、单次信号捕捉、预触发功能、光标测量等;同时,它还具有数字万用表的主要功能。手持式数字示波器突出优点是体积小、重量轻、便于携带、锂电池供电和无须外接交流电源等。当前,电子设计自动化(EDA)技术的高速发展使电子系统的设计技术和工具发生了深刻的变化。复杂可

编程逻辑器件(CPLD)和现场可编程门阵列(FPGA)的出现,给设计人员带来了诸多方便,利用其进行产品开发,不仅成本低、周期短、可靠性高,而且具有完全的知识产权^[1-2]。

本文提出一种基于 FPGA 实现手持式数字示波器数字显示驱动的设计方案,显示屏采用膜补偿的超扭曲向列型液晶显示器(FSTN-LCD),在一片 Altera 公司的 FPGA 上实现了全部 FSTN-LCD 驱动逻辑。这种设计方法可以根据实际功能任务需求来定制显示控制功能,增强了

收稿日期: 2010-01-27; 修订日期: 2010-02-26
基金项目: 西南石油大学科技基金资助项目(No. 2007XJZ103)
作者简介: 石明江(1980—),男,四川泸州人,硕士,讲师,研究方向为数据域测试。

系统的可靠性和设计的灵活性^[3]。

2 系统结构

手持式数字存储示波器显示驱动部分系统总体结构如图 1 所示。高频模拟信号经过高速 A/D 转换器转换后,以采样时钟的频率将该转换输出信号存储于 FPGA 内部存储单元之中,供 ARM 微处理器读取。微处理器将采集的数据进行二次处理输入 FPGA 内部,经过显示驱动模块驱动液晶进行显示。

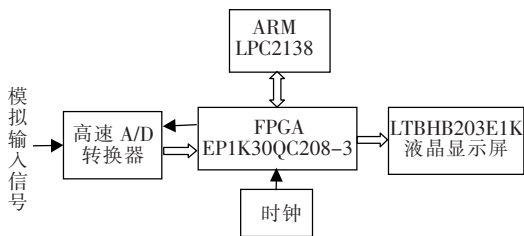


图 1 显示驱动结构框图
Fig. 1 Diagram of display driver

2.1 高速 A/D 转换器

高速 A/D 转换器采用了 Analog 公司的双通道 8 位数据输出的 AD9288,其转换速率为 1~100 MSPS,但是其低端采样率会受到限制。可以采用控制 FPGA 内部 RAM 写入时钟降低 RAM 写入速度的方式来解决该问题:当采集低频信号时,并不降低采样率,只是将 RAM 写入时钟与低采样周期保持一致,使数据低速存入 RAM 之中。本系统采样率为 100 MSPS。

2.2 微处理器模块

微控制器采用高速 8 位嵌入式芯片 LPC2138,主要完成对采样数据以及显示数据的处理和对 FPGA 的控制。

2.3 FPGA 模块

可编程逻辑芯片 FPGA 选用 Altera 公司的 EP1K30QC208-3,其内部有存储容量为 3 kB 的 RAM、30 000 个门电路、1 728 个逻辑单元和 171 个通用输入/输出引脚,具有低功耗和较强的时序处理能力。在本设计中采用其 0.5 kB 的存储空间存储采样数据。FPGA 主要完成采样数据的存储以及显示驱动的实现。

2.4 液晶显示模块

液晶显示模块采用 NANYA 公司的型号为 LTBHB203E1K 的 FSTN-LCD^[4],可方便地显示

图形、数字和汉字。该模块分辨率为 320×240,每个像素点由一位数据表示。LCD 显示从第一行开始,每产生一个 CP 时钟读取 4 位数据,这样显示一行需要 320/4=80 个 CP 时钟。其显示时序如图 2 所示。由于采用的液晶一行为 320 个点,所以行同步信号 LP 的频率是 CP 的 1/80。FLM 为场同步信号,即每显示完一屏数据产生一个 FLM 同步信号,由于液晶为 240 行,可见 FLM 为 LP 频率的 1/240。 $D_0 \sim D_3$ 是显示数据,一位数据对应一个像素点。该模块还提供液晶背光亮度的控制、灰度控制与液晶显示开关控制等。

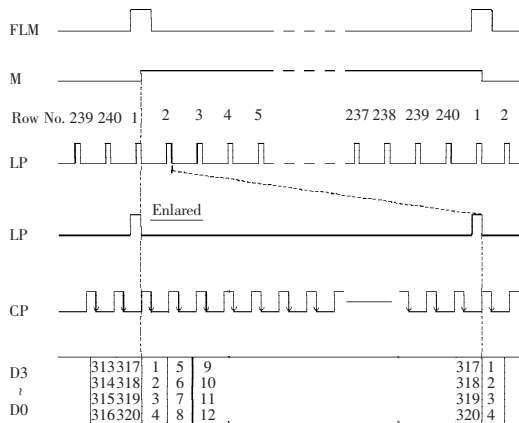


图 2 液晶显示时序
Fig. 2 Time sequence of LCD module

3 显示驱动设计

根据图 2 所示液晶显示时序,在 FPGA 内部设计出满足手持式数字存储示波器显示要求的驱动模块,其主要包括采样数据存储、显示驱动模块。采样数据存储模块主要完成对高速 A/D 转换器采集数据进行存储,供微处理器读取。显示驱动模块主要完成对微处理器输出显示的数据进行处理并产生相应的时序驱动液晶显示^[6-8]。

3.1 数据存储模块

数据存储模块完成将 A/D 转换器输出的数据按要求进行存储,其主要依赖于 FPGA 内部逻辑单元完成峰值采样并进行存储,峰值采样存储模块原理如图 3 所示。图中主要包含 2 个 74273 型号的 D 触发器、一个二选一的 8 位选择器 2×8 mux、8 位比较器 LPM_COMPARE、FPGA 内部存储器 LPM_RAM_DP。

标号为 1 的触发器 74273b 以与采样时钟同频率的 100 MHz 锁存时钟/CLK_RTN 将高速

A/D 转换器输出的高速数据 CHA_D [7..0] 锁存。8 位比较器 LPM_COMPARE 完成对 data a 与 data b 数据的比较,当 b 组数据大于 a 组数据时,输出 agb 为 1。LPM_RAM_DP 为 FPGA 内部的 RAM 存储器,其数据存储地址由计数器记录采样时钟而产生。存储脉冲 TRANS_LATCH 的频率决定了峰值采样的深度,决定了经过比较多少个点后存储峰值。存储脉冲的频率要低于采样频率,而且存储脉冲越低,相同时间内比较的数据就越多且存储数据越少,其频率由设置的时基决定,一般不小于 20 MHz,即至少每采集 5 个点存储一个有效的最大值。8 位选择器 2×8 mux

的 SEL 控制端是由 TRANS_LOAD 信号和 agb 经过或门电路产生。TRANS_LOAD 为与存储频率相同的信号,占空比为 0.2,该信号完成将采集的第一个数据送入寄存器作为默认的当时最大值。之后,SEL 信号由 agb 完成控制,它的作用是把每一次的比较得到的最大值锁存于标号为 2 的触发器 74273b 中,该触发器的作用是把上一次比较的最大值提供给比较器 LPM_COMPARE 作为本次比较的一个比较值,它的锁存时钟 CLK_100M_H 的频率与采样频率一致也为 100 MHz 只是相位相差 180°,目的是将本次采集的数据经过比较后进行锁存。

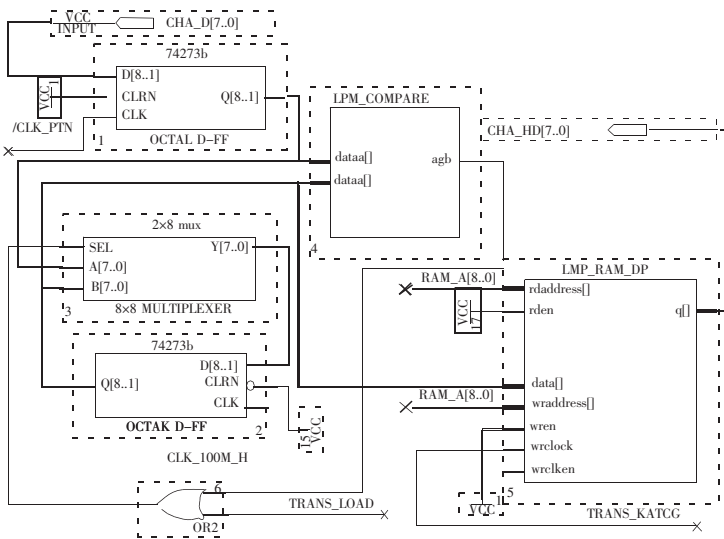


图 3 峰值采样检测最大值原理图

Fig. 3 Principle diagram of the maximum peak value sampling

数据存储模块不仅对最大值进行存储,并且同时可以对最小值进行判断与存储,其原理仅在于比较器的设置略有区别,只是将比较靠后的最小值进行存储。

3.2 微处理器 ARM 程序处理

手持式数字存储示波器显示部分的程序采用模块化的程序设计方法编写,主要的程序模块有显示初始化模块、存储数据读取模块、数据处理模块与输出显示模块等,程序流程图如图 4 所示。

显示初始化模块主要是对液晶显示屏的状态以及需要在其上显示的提示用户操作的文字部分进行设置。存储数据读取模块完成对示波器显示的一屏数据进行读取并存入 ARM 内部存储器中。数据处理模块将读取的一屏数据进行数字滤波、剔除奇异项以及进行插值等运算。输出显块

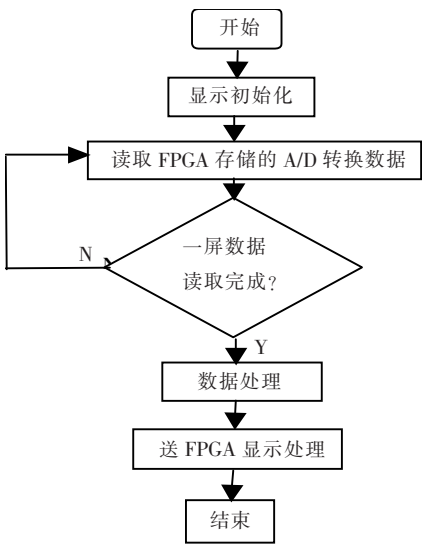


图 4 ARM 控制流程图

Fig. 4 Control flow chart of ARM

将 ARM 处理后的数据送 FPGA 供液晶屏显示。

3.3 显示驱动模块

示模对液晶显示驱动模块的设计,主要依赖于 FPGA 内部逻辑单元来完成,其驱动模块如图 5 所示。该模块主要包含时序产生模块、液晶亮度与开关模块和数据处理模块等。

(1)时序产生模块

该模块用于实现液晶驱动中移位脉冲 CP、行同步信号 LP、场同步信号 FLM 的相位关系和频率关系。在图 5 中,利用计数模块 LPM_COUNTER

与 D 触发电路实现 LCD_CP 移位脉冲的频率为 20 MHz 输入时钟 CLK 的 1/8,实现行同步信号 LCD_LP 的频率是 LCD_CP 的 1/80 以及 LCD_M 场同步信号的 LCD_LP 频率的 1/240。

(2)液晶亮度与开关模块 lcd_ctrl

lcd_ctrl 利用微控制器 ARM 控制液晶屏背光的调节,实现液晶屏显示状态的开关功能。如图 5 所示,UP/DOWN 完成液晶增亮与变暗选择,INC 输出脉冲的个数控制液晶屏的亮度, LCD_EL_ON 为液晶使能控制信号, LCD_DISP_ON 控制液晶屏背光开启与关闭。

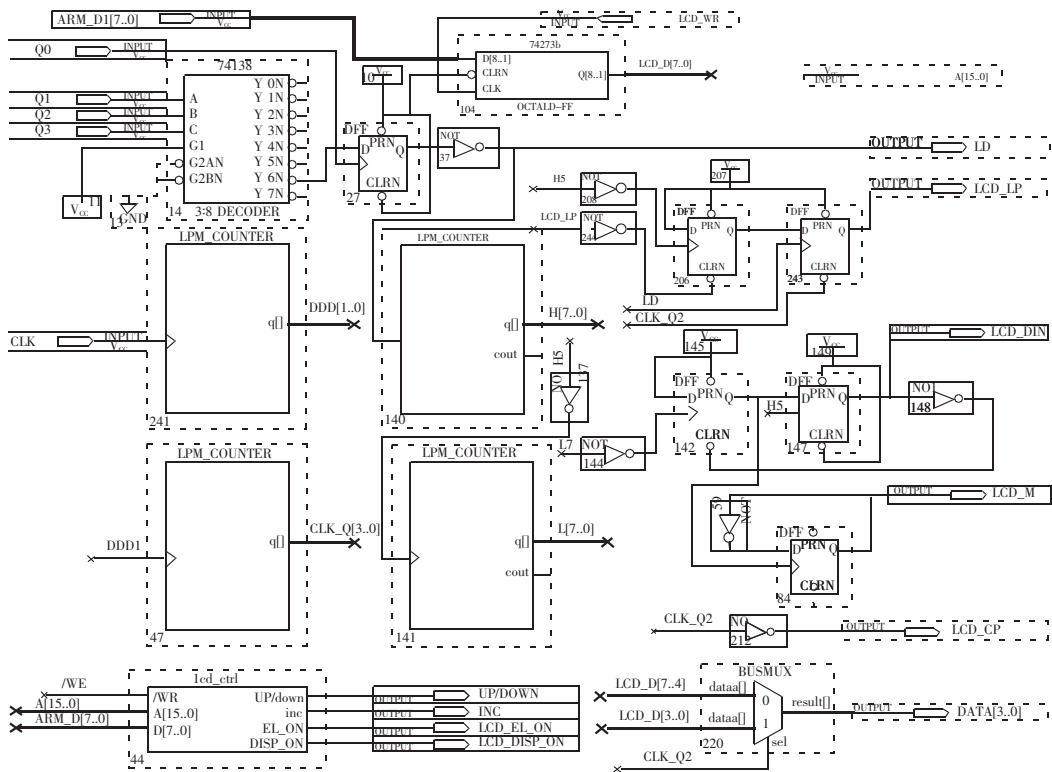


图 5 液晶显示驱动模块
Fig. 5 Driver module of LCD

(3)数据处理模块

由于选用的液晶允许输入数据为 4 位,而微控制器 ARM 输出为 8 位数据,所以该模块的功能主要完成数据匹配。如图 5 所示,利用 BUS-MUX 模块根据液晶显示时序完成将 8 位数据中的高 4 位与低 4 位进行选择,从而将 8 位数据转换为两次 4 位数据输出。

4 驱动验证

利用 FPGA 对液晶模块进行驱动后,所研制

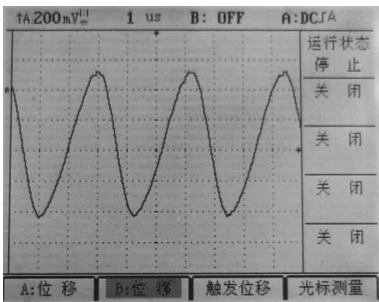


图 6 样机显示照相机
Fig. 6 Picture of the prototype display

的样机对输入的正弦信号显示波形如图 6 所示。在波形界面上,可以显示输入信号、用户设置和波形的相关信息等内容,方便用户操作。

5 结 论

基于 FPGA 对手持式示波器的显示驱动进

行了设计,实现了文字、波形等的显示。采用分辨率为 320×240 的液晶显示器达到了示波器的行业标准:纵向 8 格 $\times$ 25 点,横向 10 格 $\times$ 25 点。该技术已成功用于 WX4452 手持式数字存储示波器之中,取得了很好的效果。

参 考 文 献:

[1] 吕国亮,赵曙光,赵俊. 嵌入式逻辑分析技术及其在 FPGA 系统开发中的应用 [J]. 液晶与显示, 2007, 22(2): 227-231.

[2] 黄健. 一种基于 CPLD 的 256 级灰度模拟液晶屏显示方法 [J]. 液晶与显示, 2008, 23(5): 555-559.

[3] 朱耀东,张焕春,经亚枝. 基于 FPGA 的一种高速图形帧存设计 [J]. 电子技术应用, 2003, (2): 72-74.

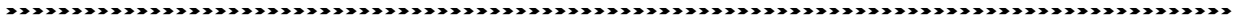
[4] NANYA Inc. Specification of 320×240 LCD module datasheet [R]. 1997.

[5] 王子立,刘杉. 一种便携式数字存储示波器的设计与实现 [J]. 电子测量与仪器学报, 2007, (增刊): 615-619.

[6] 刘国林. 电子测量[M]. 北京. 机械工业出版社. 2003: 22-45.

[7] 王海涛,刘兆甲,张文明,等. 基于 DSP 的液晶图文显示技术 [J]. 液晶与显示, 2008, 23(1): 73-76.

[8] 胡汉梅,程妮,李海军. 基于 DSP 图形液晶显示器接口及程序设计 [J]. 液晶与显示, 2007, 22(5): 623-628.



SI 单位的倍数单位

SI 单位的倍数单位是由 SI 词头与 SI 基本单位和 SI 导出单位构成。倍数单位的选取一般应量的数值处于 0.1~1 000 之间。

- SI 词头是用于构成倍数单位的因数符合,不能单独使用。
- 词头符号与所紧接着的单位符号应作为一个整体对待,它们共同组成一个新单位(十进倍数或分数单位),并具有相同的幂次。例如: $10\text{ hm}^2=10\times(100\text{ m})^2=10^5\text{ m}^2$; $1\text{ cm}^3=(10^{-2}\text{ m})^3=10^{-6}\text{ m}^3$ 。
- 词头不能重叠使用,即不能使用由几个词头并列组成的组合词头。例如:不能用 $\text{m}\mu\text{s}$ (毫微秒),正确的为 ns (纳秒)。
- 摄氏度、平面角和时间单位(s 除外)及 kg 等不得使用词头的倍数单位。例如:“mh”(毫小时),“hkg”(百公斤)是不规范的。

数值范围的表示法

1. 数值范围采用波浪号“~”。
2. 书写百分数范围,每个百分数后面的“%”都要重复写出。例如“10 %~20 %”不能写成“10~20 %”。
3. 书写用万或亿表示的数值范围,每个数值中的万或亿不得省略。例如 2 万~5 万,不能写成 2~5 万。
4. 书写具有相同幂次的数值范围,每个数值中的幂次都要重复写出。例如“ $3\times 10^5\sim 5\times 10^5$ ”不能写成“ $3\sim 5\times 10^5$ ”,但可以写“ $(3\sim 5)\times 10^5$ ”。
5. 单位相同的量值范围,前一个量值的单位可以省略,只需在后一个量值上写出。例如:“5 mm~8 mm”应写作“5~8 mm”。
6. 单位不完全相同的量值范围,每个量值的单位应全部写出。例如:2 h~2 h30 min(但最好改为“2~2.5 h”)。